

L Number	Hits	Search Text	DB	Time stamp
49	26	4989062.URPN.	USPAT	2002/08/29 07:49
50	1	6269466.URPN.	USPAT	2002/08/29 07:54
51	46	("4143178" "4151635" "4229756" "4244001" "4317690" "4525809" "4584653" "4593205" "4630219" "4638458" "4682202" "4686758" "4701642" "4845544" "4849344" "4905073" "4989062" "4999518" "5003199" "5008208" "5013679" "5032530" "5037766" "5045726" "5049515" "5081518" "5124776" "5126279" "5162884" "5168072" "5175118" "5225991" "5294822" "5296755" "5298805" "5313079" "5313101" "5314832" "5341049" "5388055" "5432707" "5444285" "5452245" "5541120" "5654898" "5869900").PN.	USPAT	2002/08/29 07:55
54	4	("4654689" "4661815" "4774559" "4857981").PN.	USPAT	2002/08/29 08:11
55	29	(US-5315182-\$ or US-5952684-\$ or US-5717359-\$ or US-5663677-\$ or US-5537328-\$ or US-6388332-\$ or US-6218865-\$ or US-6118334-\$ or US-6114903-\$ or US-5949098-\$ or US-5923089-\$ or US-5892249-\$ or US-5119169-\$ or US-5095352-\$ or US-5008728-\$ or US-4989062-\$ or US-5552618-\$ or US-5442206-\$ or US-5404035-\$ or US-5378925-\$ or US-5274280-\$ or US-5145800-\$ or US-4654689-\$ or US-4511914-\$ or US-6269466-\$ or US-6100550-\$).did. or (US-6049499-\$ or US-5508938-\$ or US-4661815-\$).did.	USPAT	2002/08/29 09:47
56	120	(power nearl lines) and (second nearl voltage) and (third nearl level)	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/29 09:48
57	18	((US-5315182-\$ or US-5952684-\$ or US-5717359-\$ or US-5663677-\$ or US-5537328-\$ or US-6388332-\$ or US-6218865-\$ or US-6118334-\$ or US-6114903-\$ or US-5949098-\$ or US-5923089-\$ or US-5892249-\$ or US-5119169-\$ or US-5095352-\$ or US-5008728-\$ or US-4989062-\$ or US-5552618-\$ or US-5442206-\$ or US-5404035-\$ or US-5378925-\$ or US-5274280-\$ or US-5145800-\$ or US-4654689-\$ or US-4511914-\$ or US-6269466-\$ or US-6100550-\$).did. or (US-6049499-\$ or US-5508938-\$ or US-4661815-\$).did.) and (shape size)	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/29 09:51

58	6	((US-5315182-\$ or US-5952684-\$ or US-5717359-\$ or US-5663677-\$ or US-5537328-\$ or US-6388332-\$ or US-6218865-\$ or US-6118334-\$ or US-6114903-\$ or US-5949098-\$ or US-5923089-\$ or US-5892249-\$ or US-5119169-\$ or US-5095352-\$ or US-5008728-\$ or US-4989062-\$ or US-5552618-\$ or US-5442206-\$ or US-5404035-\$ or US-5378925-\$ or US-5274280-\$ or US-5145800-\$ or US-4654689-\$ or US-4511914-\$ or US-6269466-\$ or US-6100550-\$).did. or (US-6049499-\$ or US-5508938-\$ or US-4661815-\$).did.) and ("same" similar) near3 (shape size))	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/29 09:52
59	18	((power near1 lines) and (second near1 voltage) and (third near1 level)) and (("same" similar) near3 (shape size))	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/29 09:57
60	56780	power near1 lines	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/29 09:57
61	1708	(power near1 lines) and ("same" similar) near1 (shape size))	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/29 09:58
62	10	(power near1 lines) near4 ("same" similar) near1 (shape size))	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/29 10:36
63	411	(power near1 lines) with (shape stripe zigzag)	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/29 10:39
64	115	((power near1 lines) with (shape stripe zigzag)) and (semiconductor (integrated adj circuit) chip die)	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/29 10:44
65	14	(power near1 lines) with (stripe zigzag)	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/29 10:44
66	14	((power near1 lines) with (stripe zigzag)) not ((power near1 lines) near4 (("same" similar) near1 (shape size)))	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/29 10:40
67	172	(power near1 lines) and zigzag	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/29 10:44
68	88	((power near1 lines) and zigzag) and (semiconductor (integrated adj circuit) chip die)	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/29 10:45
69	85	((power near1 lines) and zigzag) and (semiconductor (integrated adj circuit) chip die)) not ((power near1 lines) near4 (("same" similar) near1 (shape size))) not ((power near1 lines) with (stripe zigzag))	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/29 10:46
70	40	((power near1 lines) and zigzag) and (semiconductor (integrated adj circuit) chip die)) not ((power near1 lines) near4 (("same" similar) near1 (shape size))) not ((power near1 lines) with (stripe zigzag)) and (cell macro)	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/29 10:47

-	7	ISAO-T	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/28 13:46
-	0	jp4302161a	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/28 13:47
-	1	jp404302161a	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/28 13:48
-	0	jp404302161aTAKIMOTO-ISAO	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/28 13:49
-	43	TAKIMOTO-ISAO	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/28 13:49
-	14	5315182.URPN.	USPAT	2002/08/28 13:51
-	7	5663677.URPN.	USPAT	2002/08/28 13:55
-	0	6388332.URPN.	USPAT	2002/08/28 13:59
-	6	("5468977" "5663677" "5869900" "5892249" "5923089" "5949098").PN.	USPAT	2002/08/28 13:59
-	6	("5468977" "5663677" "5869900" "5892249" "5923089" "5949098").PN.	USPAT	2002/08/28 14:01
-	8	("4906872" "4989062" "5008728" "5095352" "5119169" "5315182" "5350886" "5416431").PN.	USPAT	2002/08/28 14:01
-	26	4989062.URPN.	USPAT	2002/08/28 14:04
-	4	("4654689" "4661815" "4774559" "4857981").PN.	USPAT	2002/08/28 14:10
-	8	("4906872" "4989062" "5008728" "5095352" "5119169" "5315182" "5350886" "5416431").PN.	USPAT	2002/08/28 14:11
-	5	("4511914" "4575745" "4701778" "5008728" "5079612").PN.	USPAT	2002/08/28 14:12
-	1	(power near1 lines) same (second near1 voltage) same (third near1 level)	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/28 15:54
-	0	20010045622.URPN.	USPAT	2002/08/28 15:53
-	0	(power near1 lines) with (second near1 voltage) with (third near1 level)	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/28 15:55
-	78	((power near1 lines) and (second near1 voltage) and (third near1 level)) and parallel	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/28 15:57
-	19	((power near1 lines) and (second near1 voltage) and (third near1 level)) and parallel) and functional	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/28 16:03

-	24	(US-5315182-\$ or US-5952684-\$ or US-5717359-\$ or US-5663677-\$ or US-5537328-\$ or US-6388332-\$ or US-6118334-\$ or US-6218865-\$ or US-6114903-\$ or US-5949098-\$ or US-5923089-\$ or US-5892249-\$ or US-5119169-\$ or US-5095352-\$ or US-5008728-\$ or US-4989062-\$ or US-5552618-\$ or US-5442206-\$ or US-5404035-\$ or US-5378925-\$ or US-5274280-\$ or US-5145800-\$ or US-4654689-\$ or US-4511914-\$).did.	USPAT	2002/08/28 16:05
-	2	((US-5315182-\$ or US-5952684-\$ or US-5717359-\$ or US-5663677-\$ or US-5537328-\$ or US-6388332-\$ or US-6118334-\$ or US-6218865-\$ or US-6114903-\$ or US-5949098-\$ or US-5923089-\$ or US-5892249-\$ or US-5119169-\$ or US-5095352-\$ or US-5008728-\$ or US-4989062-\$ or US-5552618-\$ or US-5442206-\$ or US-5404035-\$ or US-5378925-\$ or US-5274280-\$ or US-5145800-\$ or US-4654689-\$ or US-4511914-\$).did.) and macro	USPAT; US-PGPUB; EPO; JPO; DERWENT	2002/08/28 16:09

CLIPPEDIMAGE= JP410335490A

PAT-NO: JP410335490A

DOCUMENT-IDENTIFIER: JP 10335490 A

TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUBN-DATE: December 18, 1998

INVENTOR-INFORMATION:

NAME

HORIBA, SHINICHI

INT-CL (IPC): H01L021/8244; H01L027/11 ; H01L021/3205 ; H01L027/04
; H01L021/822

ABSTRACT:

PROBLEM TO BE SOLVED: To wire power lines for supplying electric power to
a
static memory at low resistance values, by forming word lines arranged on a
static memory cell and the power lines in the same pattern through the etching
process of the same mask.

SOLUTION: A titanium silicide film, a silicon oxide film, and a tungsten
polycide film are worked in the same pattern by using the photolithography
technology and dry etching technology. Consequently, word lines 7-7b, inter-
wiring insulating films 8-8b, and power lines 9-9b are formed in the same
shape. Therefore, the resistance values of the work lines and power lines of a
static memory cell can be reduced easily. In addition, the wiring density of
the power lines and word lines of the memory cell can be increased and the
wires can be reduced in thickness. Moreover, the manufacturing process of
such
a static memory cell can be simplified.

COPYRIGHT: (C)1998,JPO

----- KWIC -----

Abstract - FPAR:

SOLUTION: A titanium silicide film, a silicon oxide film, and a tungsten polycide film are worked in the same pattern by using the photolithography technology and dry etching technology. Consequently, word lines 7-7b, inter-wiring insulating films 8-8b, and power lines 9-9b are formed in the same shape. Therefore, the resistance values of the work lines and power lines of a static memory cell can be reduced easily. In addition, the wiring density of the power lines and word lines of the memory cell can be increased and the wires can be reduced in thickness. Moreover, the manufacturing process of such a static memory cell can be simplified.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-335490

(43)公開日 平成10年(1998)12月18日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8244

H 0 1 L 27/10

3 8 1

27/11

21/88

Z

21/3205

27/04

D

27/04

21/822

審査請求 有 請求項の数 7 O L (全 9 頁)

(21)出願番号

特願平9-139993

(22)出願日

平成9年(1997)5月29日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 堀場 信一

東京都港区芝五丁目7番1号 日本電気株式会社内

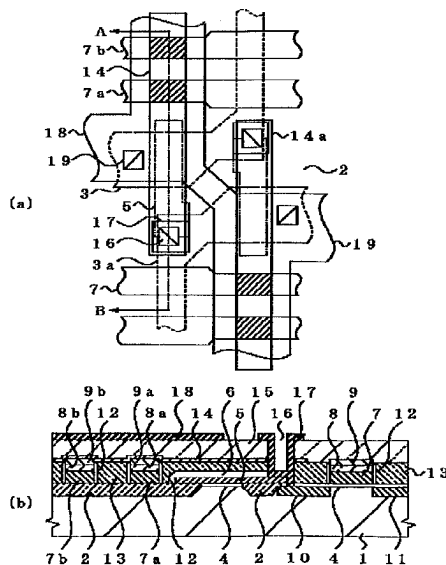
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】スタティック型メモリセルの電源配線およびワード線を低抵抗化および高密度化する。

【解決手段】半導体基板の表面に形成された1対の情報転送用MOSトランジスタと、フリップフロップ回路を構成する1対の駆動用MOSトランジスタおよび1対の負荷素子とで形成されるスタティック型メモリセルにおいて、スタティック型メモリセル上に配設されるワード線とスタティック型メモリに電源を供給する電源配線とが同一マスクのエッチング工程を通して同一形状のパターンに形成される。ここで、負荷素子は、層間絶縁膜が全面エッチングされて露出した電源配線の表面層においてこの電源配線に接続される。



7, 7a, 7b: ワード線 14: 負荷抵抗層
8, 8a, 8b: 配線間絶縁膜 18: 接点層
9, 9a, 9b: 側壁絶縁膜

【特許請求の範囲】

【請求項1】 半導体基板の表面に形成された1対の転送用MOSTランジスタと、フリップフロップ回路を構成する1対の駆動用MOSTランジスタおよび1対の負荷素子とで形成されるスタティック型メモリセルにおいて、スタティック型メモリセル上に配設されるワード線とスタティック型メモリセルに電源を供給する電源配線とが同一マスクのエッチング工程を通して同一形状のパターンに形成されていることを特徴とする半導体装置。

【請求項2】 前記負荷素子が負荷抵抗素子で形成され、前記負荷抵抗素子は、層間絶縁膜が全面エッチングされて露出した電源配線の表面層において前記電源配線に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記転送用MOSTランジスタのソース・ドレイン領域と前記電源配線とがサリサイド構造になるように形成されていることを特徴とする請求項1または請求項2記載の半導体装置。

【請求項4】 前記サリサイド構造がチタン金属で形成されていることを特徴とする請求項3記載の半導体装置。

【請求項5】 前記駆動用MOSTランジスタのゲート電極と前記転送用MOSTランジスタのゲート電極すなわち前記ワード線とが別の導電層で形成されていることを特徴とする請求項1、請求項2、請求項3または請求項4記載の半導体装置。

【請求項6】 一導電型の半導体基板の表面に形成された1対の転送用MOSTランジスタと、フリップフロップ回路を構成する1対の駆動用MOSTランジスタおよび1対の負荷抵抗素子とで形成されるスタティック型メモリセルの製造方法において、半導体基板上にゲート絶縁膜を介して前記駆動用MOSTランジスタのゲート電極を形成した後、前記ゲート電極の表面を保護絶縁膜で被覆する工程と、前記半導体基板上にゲート絶縁膜を介して積層する第1の導電体膜、絶縁体膜および第2の導電体膜を堆積する工程と、前記第2の導電体膜、絶縁体膜、第1の導電体膜を順次ドライエッチングしワード線と電源配線とを形成する工程と、前記電源配線を覆うように全面に層間絶縁膜を堆積した後、前記電源配線の表面が露出するまで前記層間絶縁膜の表面をエッチングする工程と、前記露出した電源配線の表面で接続するように前記負荷抵抗素子を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】 一導電型の半導体基板の表面に形成された1対の転送用MOSTランジスタと、フリップフロップ回路を構成する1対の駆動用MOSTランジスタおよび1対の負荷抵抗素子とで形成されるスタティック型メモリセルの製造方法において、半導体基板上にゲート絶縁膜を介して前記駆動用MOSTランジスタのゲート電極を形成した後、前記ゲート電極の表面を保護絶縁膜で

被覆する工程と、前記半導体基板上にゲート絶縁膜を介して積層する第1の導電体膜、絶縁体膜および多結晶シリコン膜を堆積する工程と、前記多結晶シリコン膜、絶縁体膜、第1の導電体膜を順次ドライエッチングし同一形状のパターンを形成する工程と、前記同一形状のパターンの側壁にサイドウォール絶縁膜を形成する工程と、前記転送用MOSTランジスタの拡散層と前記パターンニングされた多結晶シリコン膜の表面にシリサイド層を同時に形成する工程と、前記多結晶シリコン膜表面に形成されたシリサイド層を覆うように全面に層間絶縁膜を堆積した後、前記シリサイド層の表面が露出するまで前記層間絶縁膜の表面をエッチングする工程と、前記露出したシリサイド層の表面で接続するように前記負荷抵抗素子を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に関し、特にSRAMのメモリセルの構造とその製造方法に関する。

【0002】

【従来の技術】近年、メモリ回路とロジック回路とを混載する高集積化された半導体装置が種々に開発検討されてきている。このような中で、SRAMとロジック回路とを混載した1チップマイクロプロセッサのような半導体装置が開発実用化されている。この場合には、SRAMとロジック回路とを同一工程で形成しなければならなくなる。

【0003】現在、ロジック回路の半導体装置では、絶縁ゲート電界効果トランジスタ（MOSTランジスタ）のトランジスタとしての性能を最大限に引き出すことが重要である。このために、MOSTランジスタのソース・ドレイン領域となる拡散層あるいはゲート電極等がシリサイド化されてきている。そして、ロジック回路部の動作速度が向上してきている。このために、SRAMの動作速度も同様に向上させることが重要になってきている。

【0004】以下、このようなロジック回路の半導体装置の製造工程をSRAMの製造に適用する従来の方法を説明する。

【0005】初めに、このようなスタティック型メモリセルの等価回路図を図5で説明する。図5に示すように、通常、SRAMのメモリセルは2つの高抵抗の負荷抵抗素子と4つのNチャネル型のMOSTランジスタとで構成される。なお、負荷素子である高抵抗の負荷抵抗素子に代えてMOSTランジスタが使用されてもよい。

【0006】ここで、1対の負荷抵抗素子と1対のMOSTランジスタとでフリップフロップ回路が形成される。すなわち、1対の駆動用MOSTランジスタ T_1 および T_2 のドレインが、それぞれ他方のゲートに接続さ

れている。そして、それぞれのドレインには負荷抵抗 R_1 、 R_2 を通して電源電圧 V_{cc} が印加される。また、上記の1対の駆動用MOSトランジスタ T_1 および T_2 のソースは接地電位 V_{ss} に固定される。

【0007】さらに、転送用MOSトランジスタ T_3 および T_4 のソース/ドレインが、上記のフリップフロップ回路の蓄積ノード N_1 および N_2 にそれぞれ接続されている。そして、転送用MOSトランジスタ T_3 の他方のソース/ドレインにビット線 BL が接続され、同様に、転送用MOSトランジスタ T_4 の他方のソース/ドレインにビット線 BL バーが接続されている。また、これらの1対の転送用MOSトランジスタ T_3 と T_4 のゲートにワード線 WL が接続されている。そして、このような回路構成のメモリセルに記憶情報1ビット分が蓄えられる。

【0008】次に、上記のサリサイド化の工程をスタティック型メモリセルの形成に適用する場合について、図6に基づいて説明する。ここで、図6はこの製造工程順の断面図である。また、この断面図は、上記フリップフロップ回路の片方と1つの情報転送用MOSトランジスタの断面を示している。

【0009】図6(a)に示すように、半導体基板101上に選択的にフィールド酸化膜102を形成する。そして、フィールド酸化膜102の形成されていない領域の半導体基板101表面にゲート酸化膜103を形成する。次に、全面を被覆するように多結晶シリコン膜104を形成する。ここで、多結晶シリコン膜104はリン不純物等の不純物を高濃度に含有する。

【0010】次に、図6(b)に示すように、フォトリソグラフィ技術とドライエッチング技術とで多結晶シリコン膜104を加工し、駆動用MOSトランジスタのゲートポリシリコン層105と転送用MOSトランジスタのゲートポリシリコン層106を形成する。なお、ゲートポリシリコン層106aは隣接するメモリセルの転送用MOSトランジスタのゲートポリシリコン層である。そして、これらのゲートポリシリコン層105、106および106aの側壁にサイドウォール絶縁膜107を形成する。

【0011】次に、ヒ素等の不純物を高濃度にイオン注入し、熱処理を施して拡散層108および109を形成する。そして、全面に高融点金属層たとえばチタン層を形成し、熱処理を加えた後、絶縁膜上の未反応のチタン層を除去する。

【0012】このようにして、ゲートポリシリコン層105上にゲートシリサイド層110、ゲートポリシリコン層106および106a上にもゲートシリサイド層111および111aを形成する。この積層する構造のゲートポリシリコン層とゲートシリサイド層とがMOSトランジスタのゲート電極となる。そして、同時に、拡散層108および109上にソース・ドレインシリサイド

層112と113を形成する。このようにして、駆動用MOSトランジスタと転送用MOSトランジスタのゲート電極とソース・ドレインはシリサイド化される。

【0013】次に、図6(c)に示すように、全面を被覆するように層間絶縁膜114を形成する。そして、駆動用MOSトランジスタのゲートシリサイド層110と拡散層108に達するコンタクト孔115を形成する。引き続き、不純物を含有しない膜厚の薄い多結晶シリコン膜を堆積し、低濃度不純物をイオン注入して所定のパターンに加工する。このようにして、高抵抗ポリシリコン層116を形成する。ここで、高抵抗ポリシリコン層116は、コンタクト孔115部を通して駆動用MOSトランジスタのゲート電極と転送用MOSトランジスタのソース/ドレイン領域とに電気接続されるようになる。

【0014】さらに、上記のパターン加工した多結晶シリコン膜の所定の領域に高濃度の不純物をイオン注入する。そして、熱処理を施してその抵抗を下げる。このようにして、電源配線117および117aを形成する。以上のようにして、サリサイド化されたMOSトランジスタを有するメモリセルができあがる。

【0015】しかし、MOSトランジスタをサリサイド化した後は、700℃程度の低温の熱処理しか適用できなくなる。このために、電源配線117あるいは117aを十分に低抵抗にするのが難しい。

【0016】これを回避する方法が特開平4-320371号公報に示されている。この方法の要点は、駆動用MOSトランジスタと転送用MOSトランジスタのゲート電極となるゲートポリシリコン層と同一層の多結晶シリコン膜に、電源配線と負荷抵抗を形成するところにある。ここで、ゲートポリシリコン層と電源配線の表面は共にシリサイド化される。なお、負荷抵抗はシリサイド化されない。

【0017】

【発明が解決しようとする課題】以上に説明した従来の技術のうち、図面に基づいて説明した従来の技術では、先述したように電源配線の低抵抗化に限界があり、SRAMの性能が低下するようになる。また、同様に、コンタクト孔115部でのゲートシリサイド層110と高抵抗ポリシリコン層116との接触抵抗が増加するようになり、SRAMの負荷抵抗の値の制御が難しくなる。

【0018】また、公開公報に記載の従来の技術では、駆動用MOSトランジスタと転送用MOSトランジスタのゲート電極となるゲートポリシリコン層と同一層の多結晶シリコン膜に、電源配線と負荷抵抗が形成される。このために、電源配線と負荷抵抗は、上記ゲート電極の形成領域から離れた領域に形成されなければならない。このために、メモリセルのセル面積が増加し、SRAMひいてはメモリ回路とロジック回路とを混載する半導体装置の高集積化が難しくなる。

【0019】本発明の目的は、上記のような問題点を解決し、ロジック回路とSRAMを容易に混載でき高集積化が容易となる半導体装置とその製造方法を提供することにある。

【0020】

【課題を解決するための手段】このために本発明の半導体装置では、半導体基板の表面に形成された1対の転送用MOSトランジスタと、フリップフロップ回路を構成する1対の駆動用MOSトランジスタおよび1対の負荷素子とで形成されるスタティック型メモリセルにおいて、スタティック型メモリセル上に配設されるワード線とスタティック型メモリセルに電源を供給する電源配線とが同一マスクのエッチング工程を通して同一形状のパターンに形成されている。

【0021】さらには、上記負荷素子が負荷抵抗素子で形成され、この負荷抵抗素子は、層間絶縁膜が全面エッチングされて露出した電源配線の表面層において前記電源配線に接続されている。あるいは、上記の転送用MOSトランジスタのソース・ドレイン領域と上記電源配線とがサリサイド構造になるように形成されている。ここで、サリサイド構造はチタン金属で形成されている。

【0022】また、本発明の半導体装置では、駆動用MOSトランジスタのゲート電極と転送用MOSトランジスタのゲート電極すなわちワード線とが別の導電層で形成されている。

【0023】また、本発明の半導体装置の製造方法は、一導電型の半導体基板の表面に形成された1対の転送用MOSトランジスタと、フリップフロップ回路を構成する1対の駆動用MOSトランジスタおよび1対の負荷抵抗素子とで形成されるスタティック型メモリセルの製造方法において、半導体基板上にゲート絶縁膜を介して駆動用MOSトランジスタのゲート電極を形成した後、このゲート電極の表面を保護絶縁膜で被覆する工程と、さらに、半導体基板上にゲート絶縁膜を介して積層する第1の導電体膜、絶縁体膜および第2の導電体膜を堆積する工程と、上記第2の導電体膜、絶縁体膜、第1の導電体膜を順次ドライエッチングしワード線と電源配線とを形成する工程と、このような電源配線を覆うように全面に層間絶縁膜を堆積した後、電源配線の表面が露出するまで上記層間絶縁膜の表面をエッチングする工程と、この露出した電源配線の表面で接続するように負荷抵抗素子を形成する工程とを含む。

【0024】あるいは、本発明の半導体装置の製造方法は、一導電型の半導体基板の表面に形成された1対の転送用MOSトランジスタと、フリップフロップ回路を構成する1対の駆動用MOSトランジスタおよび1対の負荷抵抗素子とで形成されるスタティック型メモリセルの製造方法において、半導体基板上にゲート絶縁膜を介して駆動用MOSトランジスタのゲート電極を形成した後、このゲート電極の表面を保護絶縁膜で被覆する工程

と、さらに、半導体基板上にゲート絶縁膜を介して積層する第1の導電体膜、絶縁体膜および多結晶シリコン膜を堆積する工程と、上記多結晶シリコン膜、絶縁体膜、第1の導電体膜を順次ドライエッチングし同一形状のパターンを形成する工程と、この同一形状のパターンの側壁にサイドウォール絶縁膜を形成する工程と、転送用MOSトランジスタの拡散層と上記のパターニングされた多結晶シリコン膜の表面にシリサイド層を同時に形成する工程と、この多結晶シリコン膜表面に形成されたシリサイド層を覆うように全面に層間絶縁膜を堆積した後、上記のシリサイド層の表面が露出するまで層間絶縁膜の表面をエッチングする工程と、この露出したシリサイド層の表面で接続するように負荷抵抗素子を形成する工程とを含む。

【0025】このように本発明では、スタティック型メモリセルのワード線と電源配線とが絶縁体膜を挟んで積層し全く同一形状のパターンになるように形成される。このために、これらの配線が高密度に形成されるようになりスタティック型メモリセル寸法の縮小が容易になる。さらに、これらの配線の低抵抗化が容易になる。また、負荷抵抗素子のような負荷素子が電源配線に自己整合的（セルフアライン）に接続されるようになる。このために製造工程が簡素化されるようになる。

【0026】

【発明の実施の形態】次に、本発明の第1の実施の形態を図1および図2に基づいて説明する。ここで、図1は本発明のスタティック型メモリセル部の平面図と断面図である。なお、図1(b)は図1(a)に記すA-Bで切断したところの断面図となっている。また、図2は、このようなメモリセルの製造工程順の断面図である。以下の実施の形態では、スタティック型メモリセルを構成する1対の駆動用MOSトランジスタ、1対の転送用MOSトランジスタおよび負荷抵抗素子のうち主に一方のトランジスタあるいは負荷抵抗素子について説明される。

【0027】図1に示すように、シリコン等の半導体基板1表面に選択的にフィールド酸化膜2が形成されている。そして、図1(a)に示すように、これらのフィールド酸化膜2に囲われて素子活性領域3および3aが形成されている。また、この素子活性領域3および3aの表面にゲート酸化膜4が形成されている。

【0028】そして、図1(a)および図1(b)に示すように、駆動用MOSトランジスタのゲート電極である駆動用ゲート電極5が形成されている。そして、この駆動用ゲート電極5は保護絶縁膜6で覆われている。

【0029】また、転送用MOSトランジスタのゲート電極となるワード線7がゲート酸化膜4上に形成され、このワード線7上に配線間絶縁膜8を介して電源配線9が積層構造に形成されている。同様に、図1(b)に示すように、フィールド酸化膜2上にもワード線7aおよ

10

20

30

40

50

7

び7bと電源配線9aおよび9bとがそれぞれ配線間絶縁膜8aおよび8bを介して積層構造になるように形成されている。ここで、このように積層構造に形成されるワード線7と電源配線9、ワード線7aと電源配線9a、ワード線7bと電源配線9bは、図1(a)に示すように、それぞれ同一のパターン形状になるように形成されメモリセルに配設される。なお、ワード線7aおよび7bは隣接するメモリセルの転送用MOSトランジスタのゲート電極となる。

【0030】そして、転送用MOSトランジスタのソース/ドレイン領域となる拡散層10および11が形成されている。さらに、上記のワード線7、配線間絶縁膜8および電源配線9、ワード線7a、配線間絶縁膜8aおよび電源配線9a、ワード線7b、配線間絶縁膜8bおよび電源配線9bの側壁にはサイドウォール絶縁膜12が設けられている。

【0031】そして、全面に第1の層間絶縁膜13が形成される。ここで、電源配線9、9a、9bの表面部が露出するように、第1の層間絶縁膜13は形成されている。そして、負荷抵抗層14が形成されている。この負荷抵抗層14は、図1(a)に示すように、斜線で示した領域すなわち上記電源配線9a、9bの表面の露出する領域で、これら電源配線9a、9bに接続されるようになる。同様に、電源配線9も図1(a)に示すように斜線で示す領域で他方の負荷抵抗層14aに接続されている。

【0032】図1(b)に示すように、全面に第2の層間絶縁膜15が形成される。そして、駆動用ゲート電極5および拡散層10に達する内部接続用コンタクト孔16が、第2の層間絶縁膜15、負荷抵抗層14、第1の層間絶縁膜13および保護絶縁膜6を貫通して所定の領域に形成される。そして、内部接続配線17が形成されて、負荷抵抗層14は駆動用MOSトランジスタの駆動用ゲート電極5および拡散層10に接続されている。

【0033】また、接地配線18が接地用コンタクト孔19を通して素子活性領域3に接続されている。図示されないがメモリセルのビット線が、拡散層11に接続されて配設されることになる。

【0034】次に、このようなスタティック型メモリセルの製造方法について図2を参照して説明する。但し、この場合のスタティック型メモリセルは半導体基板表面のウェル内に形成される。ここで、図1で説明したものと同一のものは同一符号で示される。

【0035】図2(a)に示すように、導電型がN型の半導体基板1の表面へのボロンのイオン注入と熱処理によりP型ウェル20が形成される。次に、膜厚が300nm程度のフィールド酸化膜2がリセスLOCOS(Local Oxidation of Silicon)法等で形成される。そして、10nm程度の膜厚のゲート酸化膜4が形成される。

8

【0036】次に、200nm程度の膜厚の多結晶シリコン膜が化学気相成長(CVD)法で堆積される。ここで、この多結晶シリコン膜には、 1×10^{19} 原子/cm³程度のリン不純物が含まれる。そして、この多結晶シリコン膜がフォトリソグラフィ技術とドライエッチング技術とで加工され駆動用ゲート電極5が形成される。さらに、このゲート電極5を被覆するように、100nm程度の膜厚の保護絶縁膜6がシリコン酸化膜で形成される。

【0037】次に、第1の導電体膜である300nm程度の膜厚のタングステンボリサイド膜、絶縁体膜である200nm程度の膜厚のシリコン酸化膜および第2の導電体膜である100nm程度の膜厚のチタンシリサイド膜が積層するように、フィールド酸化膜2、ゲート酸化膜4を被覆し全面に堆積される。そして、フォトリソグラフィ技術とドライエッチング技術とで上記チタンシリサイド膜、シリコン酸化膜およびタングステンボリサイド膜が同一形状のパターンに加工される。このようにして、図2(b)に示すように、ワード線7、7a、7bと配線間絶縁膜8、8a、8bおよび電源配線9、9a、9bが同一形状になるように形成されることになる。そして、選択的なヒ素不純物のイオン注入と熱処理が施され、転送用MOSトランジスタのソース・ドレイン用の拡散層10および11が形成される。また、同時に、図示されていないが駆動用MOSトランジスタのソース・ドレイン用の拡散層も形成される。次に、上記の同一形状パターンの側壁にサイドウォール絶縁膜12が形成される。

【0038】次に、800nm程度の膜厚のBPSG膜(ボロンガラスとリンガラスを含むシリコン酸化膜)がCVD法で全面に堆積され800℃程度の熱処理による高温リフローがなされる。そして、化学機械研磨(CMP)法で全面が研磨され、電源配線9、9a、9b表面が露出される。

【0039】次に、50nm程度の膜厚の多結晶シリコン膜がCVD法で堆積される。そして、全面にリン不純物のイオン注入が行なわれ熱処理が施される。ここで、リン不純物のイオン注入のドーズ量は 1×10^{13} イオン/cm²程度に設定される。そして、フォトリソグラフィ技術とドライエッチング技術とでこの多結晶シリコン膜が加工され、図2(c)に示すように負荷抵抗層14が形成される。ここで、上記多結晶シリコン膜のドライエッチングでは、電源配線9、9a、9bがエッチングされないように、ドライエッチングガスにはCF₄等のフッ素化合物が用いられる。このようにして、負荷抵抗層14は電源配線9a、9bにセルフアラインに接続されるようになる。

【0040】次に、図2(d)に示すように、全面に第2の層間絶縁膜15が形成される。そして、駆動用ゲート電極5および拡散層10に達する内部接続用コンタ

ト孔16が、第2の層間絶縁膜15、負荷抵抗層14、第1の層間絶縁膜13および保護絶縁膜6を貫通して形成される。そして、100nm〜200nmの膜厚のタンゲステン膜で内部接続配線17が形成されて、負荷抵抗層14が駆動用MOSTランジスタの駆動用ゲート電極5および拡散層10に接続される。また、この工程で同時に膜厚100nm〜200nmの接地配線18が形成される。

【0041】そして、図示されないがスタティック型メモリセルのビット線が、拡散層11に接続されて配設されるようになる。

【0042】このように本発明のスタティック型メモリセルの製造方法で特徴的なことは、転送用MOSTランジスタのゲート電極となるワード線7と電源配線9、ワード線7aと電源配線9aおよびワード線7bと電源配線9bがそれぞれ配線間絶縁膜8、8a、8bを介して積層し同一形状のパターンに形成される点である。そして、また、電源配線と負荷抵抗層とがセルフアラインに接続される点にある。

【0043】このために、スタティック型メモリセルのワード線および電源配線の低抵抗化が容易なる。そして、スタティック型メモリセルの電源配線およびワード線の配設が高密度化され、その微細化が非常に容易になる。さらには、このようなスタティック型メモリセルの製造工程は簡素化される。このようにして、このスタティック型メモリセルの搭載される半導体装置の高速化あるいは高集積化が促進される。

【0044】次に、本発明の第2の実施の形態を図3と図4に基づいて説明する。ここで、図3および図4は本発明のスタティック型メモリセルの製造工程順の断面図である。なお、本発明の構造については上記製造方法の説明の中で示される。

【0045】この第2の実施の形態では、第1の実施の形態で説明した転送用MOSTランジスタの拡散層と電源配線とがシリサイド構造に形成される点が特徴的である。なお、この場合では、メモリセルのアレイ構造が第1の実施の形態とは異なるように示されている。以下、第1の実施の形態の場合と同一になるものは同一符号で示されている。

【0046】図3(a)に示すように、第1の実施の形態で説明したのと同様に、ウェル20が形成される。次に、300nm程度の膜厚のフィールド酸化膜2がリセスLOCOS法で形成される。そして、8nm程度の膜厚のゲート酸化膜4が形成される。

【0047】次に、第1の実施の形態で説明したように、リン不純物を含む多結晶シリコン膜がフォトリソグラフィ技術とドライエッチング技術とで加工され駆動用ゲート電極5が形成される。さらに、このゲート電極5を被覆するようにして保護絶縁膜6がシリコン酸化膜で形成される。

【0048】次に、200nm程度の膜厚のチタンポリサイド膜、200nm程度の膜厚のシリコン酸化膜および100nm程度の膜厚の多結晶シリコン膜が積層するように、フィールド酸化膜2、ゲート酸化膜4および保護絶縁膜6を被覆し全面に堆積される。そして、フォトリソグラフィ技術とドライエッチング技術とで上記多結晶シリコン膜、シリコン酸化膜およびチタンポリサイド膜が同一形状のパターンに加工される。このようにして、図3(b)に示すように、ワード線21、21a、21bと配線間絶縁膜8、8a、8bおよびポリシリ配線22、22a、22bが同一形状になるように形成される。

【0049】次に、選択的なヒ素不純物のイオン注入と熱処理が施され、転送用MOSTランジスタのソース・ドレイン用の拡散層10および11が形成される。また、同時に、図示されていないが駆動用MOSTランジスタのソース・ドレイン用の拡散層も形成される。さらに、上記の同一形状パターンの側壁にサイドウォール絶縁膜12が形成される。

【0050】次に、100nm程度の膜厚のチタン膜が全面に堆積される。引き続いて、600℃程度での熱処理が施され、ポリシリコン配線22、22a、22b上、拡散層10、11上がシリサイド化される。そして、アンモニア水溶液と過酸化水素溶液の混合溶液中に浸漬し未反応のチタンが除去される。このようにして、図3(c)に示すように、ポリシリコン配線22、22a、22b上にシリサイド配線23、23a、23bが形成される。同時に、ソース・ドレイン用の拡散層10、11上にソース・ドレインシリサイド層24、25が形成されるようになる。そして、ポリシリコン配線22とシリサイド配線23とで電源配線9が、ポリシリコン配線22aとシリサイド配線23aとで電源配線9aが、ポリシリコン配線22bとシリサイド配線23bとで電源配線9bがそれぞれ形成されることになる。

【0051】次に、第1の実施の形態と同様にして800nm程度の膜厚のBPSG膜がCVD法で全面に堆積され600℃程度の熱処理がなされる。そして、CMP法で全面が研磨され、シリサイド配線23a、23b表面が露出される。このようにして、第1の層間絶縁膜13が形成される。この場合にはシリサイド配線23の表面は露出しない。

【0052】次に、第1の実施の形態と同様にして図4(a)に示すように負荷抵抗層14が形成される。ここで、負荷抵抗層14はシリサイド配線23a、23bにセルフアラインに接続される。

【0053】次に、図4(b)に示すように、全面に第2の層間絶縁膜15が形成される。そして、駆動用ゲート電極5およびソース・ドレインシリサイド層24に達する内部接続用コンタクト孔16が、第2の層間絶縁膜15、負荷抵抗層14、第1の層間絶縁膜13および保

護絶縁膜6を貫通して形成される。そして、100nm～200nmの膜厚のタングステン膜で内部接続配線17が形成されて、負荷抵抗層14が駆動用MOSトランジスタの駆動用ゲート電極5およびソース・ドレインシリサイド層24に接続される。また、この工程で同時に膜厚100nm～200nmの接地配線18が形成される。

【0054】そして、図示されないがスタティック型メモリセルのビット線が、ソース・ドレインシリサイド層25に接続されて配設されるようになる。

【0055】この本発明の第2の実施の形態で特徴的なことは、転送用MOSトランジスタのソース・ドレイン領域と電源配線とがサリサイド構造に形成される点にある。そして、この場合にも、ワード線と電源配線とは配線間絶縁膜を介して積層し同一形状のパターンに形成される。また、電源配線と負荷抵抗層とがセルフアラインに接続される。

【0056】このために、スタティック型メモリセルのワード線および電源配線の低抵抗化がさらに容易なるとともに製造工程が短縮されるようになる。また、スタティック型メモリセルの高密度化および微細化はさらに容易となる。

【0057】以上の実施の形態において、ワード線あるいは電源配線は、タングステンあるいはチタン以外の高融点金属例えばコバルト、タンタルあるいはモリブデン等のシリサイドあるいはポリサイドで形成されてもよい。また、スタティック型メモリセルの負荷素子として負荷抵抗体が使用される場合について説明されているが、負荷素子としてMOSトランジスタが使用される場合でも、本発明は同様に適用できることに言及しておく。

【0058】

【発明の効果】以上に説明したように本発明では、スタティック型メモリセルのワード線と電源配線とが積層され、同一形状のパターンに形成される。そして、スタティック型メモリセルの負荷抵抗素子は上記電源配線にセルフアラインに接続される。あるいは、転送用MOSトランジスタのソース・ドレイン領域と電源配線とがサリサイド構造になるように形成される。

【0059】このために、スタティック型メモリの製造工程が簡素化されると共に、スタティック型メモリに電源を供給する電源配線あるいはワード線の低抵抗化が容易になる。そして、ロジック回路と高性能SRAMを混載する半導体装置の製造が可能になる。

【0060】また、電源配線およびワード線の配設が高密度化されるため、スタティック型メモリセルのセル面積が縮小され半導体装置の高集積化が容易になる。

【0061】このようにして、ロジック回路とSRAMを混載する高性能の半導体装置の開発が促進される。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明するためのスタティック型メモリセル部の平面図と断面図である。

【図2】本発明の第1の実施の形態を説明するための製造工程順の断面図である。

【図3】本発明の第2の実施の形態を説明するための製造工程順の断面図である。

【図4】本発明の第2の実施の形態を説明するための製造工程順の断面図である。

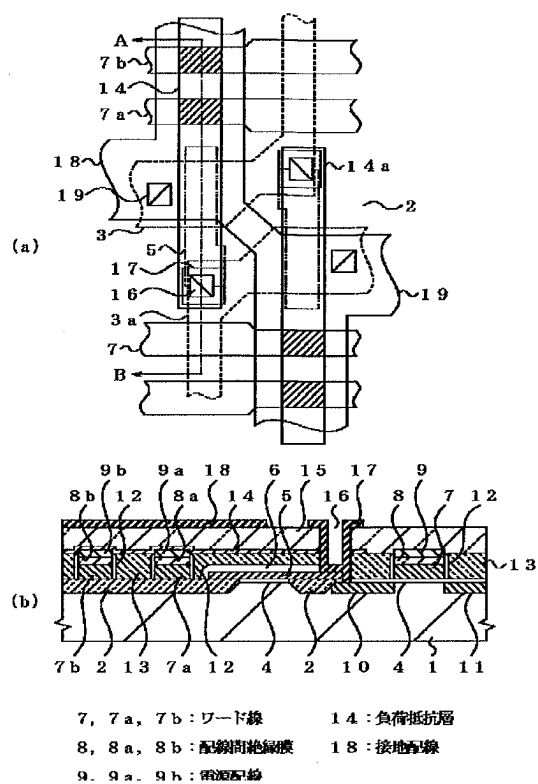
10 【図5】本発明を適用するスタティック型メモリセルの等価回路図である。

【図6】従来の技術を説明するための製造工程順の略断面図である。

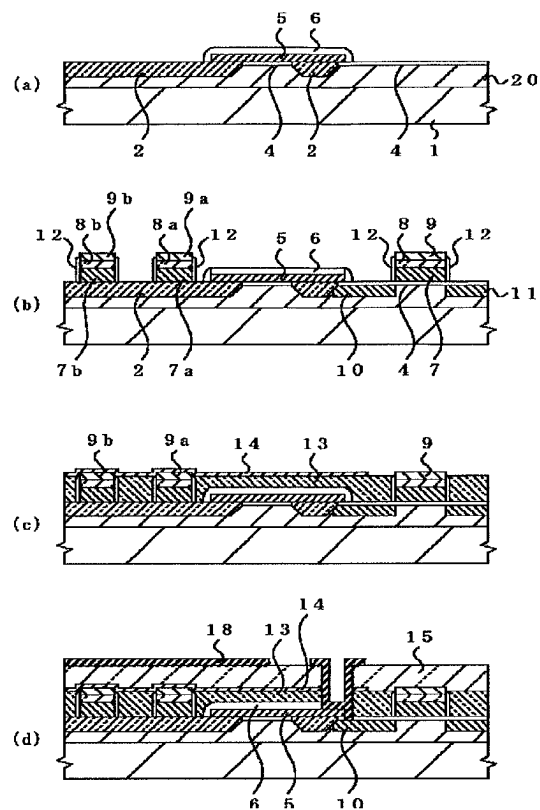
【符号の説明】

- 1, 101 半導体基板
- 2, 102 フィールド酸化膜
- 3, 3a 素子活性領域
- 4, 103 ゲート酸化膜
- 5 駆動用ゲート電極
- 6 保護絶縁膜
- 7, 7a, 7b, 21, 21a, 21b ワード線
- 8, 8a, 8b 配線間絶縁膜
- 9, 9a, 9b, 117, 117a 電源配線
- 10, 11, 108, 109 拡散層
- 12, 107 サイドウォール絶縁膜
- 13 第1の層間絶縁膜
- 14 負荷抵抗層
- 15 第2の層間絶縁膜
- 16 内部配線用コンタクト孔
- 17 内部接続配線
- 18 接地配線
- 19 接地用コンタクト孔
- 20 ウェル
- 22, 22a, 22b ポリシリ配線
- 23, 23a, 23b シリサイド配線
- 24, 25, 112, 113 ソース・ドレインシリサイド層
- T₁、T₂ 駆動用MOSトランジスタ
- T₃、T₄ 転送用MOSトランジスタ
- R₁、R₂ 負荷抵抗
- N₁、N₂ 蓄積ノード
- WL ワード線
- BL、BLバー ビット線
- 104 多結晶シリコン膜
- 105, 106, 106a ゲートポリシリコン層
- 110, 111, 111a ゲートシリサイド層
- 114 層間絶縁膜
- 115 コンタクト孔
- 116 高抵抗ポリシリコン層

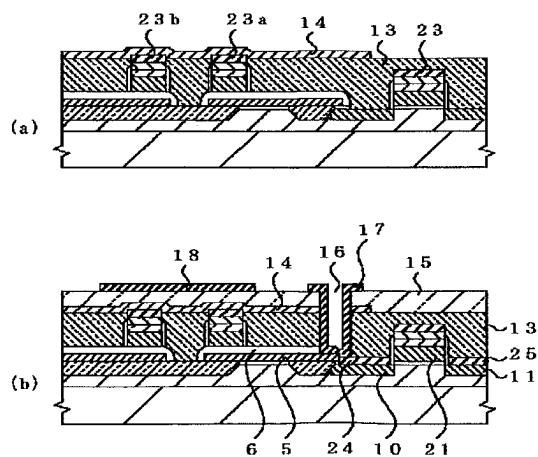
【図1】



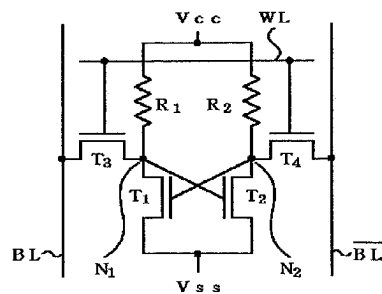
【図2】



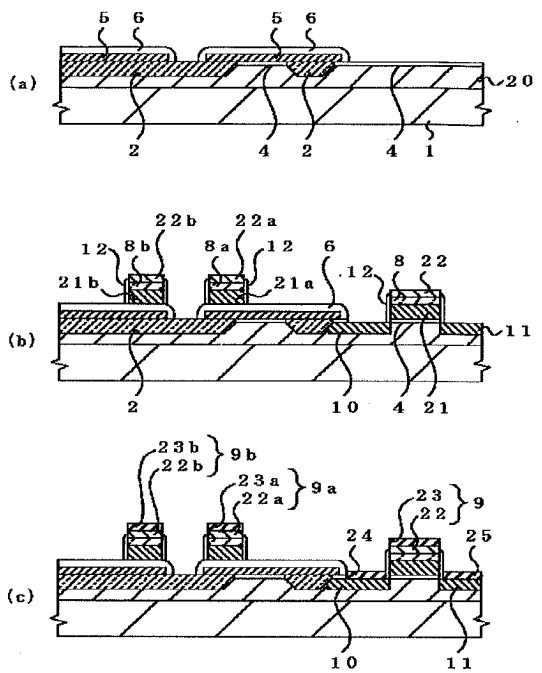
【図4】



【図5】



【図3】



21, 21a, 21b: ワード線
 22, 22a, 22b: ポリシリ配線
 23, 23a, 23b: シリサイド配線
 10, 11: 拡散層
 24, 25: ソース・ドレインシリサイド膜

【図6】

